

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/001566

International filing date: 27 January 2005 (27.01.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-058573
Filing date: 03 March 2004 (03.03.2004)

Date of receipt at the International Bureau: 17 March 2005 (17.03.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日本国特許庁
JAPAN PATENT OFFICE

PCT/JP 2005/001566

27. 1. 2005

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2004年 3月 3日

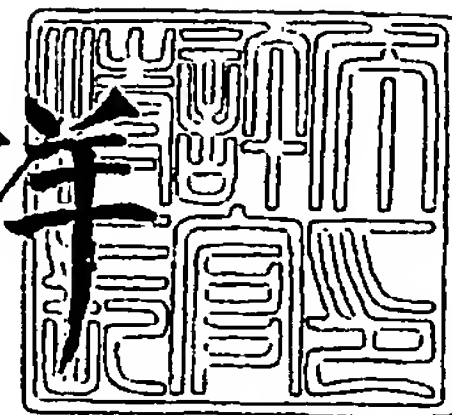
出願番号
Application Number: 特願2004-058573
[ST. 10/C]: [JP 2004-058573]

出願人
Applicant(s): ローム株式会社

2005年 3月 4日

特許庁長官
Commissioner,
Japan Patent Office

小川 洋



出証番号 出証特2005-3018231

【書類名】 特許願
【整理番号】 03-00533
【提出日】 平成16年 3月 3日
【あて先】 特許庁長官 殿
【国際特許分類】 G01R 19/00
【発明者】
 【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内
 【氏名】 杉江 尚
【発明者】
 【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内
 【氏名】 笹本 裕
【特許出願人】
 【識別番号】 000116024
 【氏名又は名称】 ローム株式会社
 【代表者】 佐藤 研一郎
【代理人】
 【識別番号】 100083231
 【弁理士】
 【氏名又は名称】 紋田 誠
【選任した代理人】
 【識別番号】 100112287
 【弁理士】
 【氏名又は名称】 逸見 輝雄
【手数料の表示】
 【予納台帳番号】 016241
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9901021

【書類名】 特許請求の範囲

【請求項 1】

制御電極と出力電極とが接続された電流制御用トランジスタと、
該電流制御用トランジスタに制御された電流を流すための電流可変型の制御電流供給用電流源と、

前記電流制御用トランジスタとカレントミラー接続され、負荷に負荷電流を供給するための第 1 トランジスタと、

前記電流制御用トランジスタとカレントミラー接続され、前記負荷電流に比例した比例電流を供給するための電流検出用トランジスタと、

該電流検出用トランジスタの出力ノードに所定のアイドリング電流を供給するアイドリング用電流源を有して、前記第 1 トランジスタの出力電圧と前記電流検出用トランジスタの前記出力ノードの電圧とを等しくするように動作するとともに、前記比例電流と前記アイドリング電流とを加算した検出電流を出力するバッファ回路と、

該バッファ回路から出力される前記検出電流を変換して出力信号とする変換回路とを備えることを特徴とする、電流検出回路。

【請求項 2】

前記バッファ回路は、前記第 1 トランジスタの出力電圧と前記電流検出用トランジスタの出力ノードの電圧とが入力される増幅器と、前記電流検出用トランジスタの出力ノードと前記変換回路との間に設けられ、前記増幅器の出力で制御される第 3 トランジスタを有することを特徴とする、請求項 1 記載の電流検出回路。

【請求項 3】

前記アイドリング用電流源へ供給されるアイドリング用電源電圧は、前記第 1 トランジスタ及び前記電流検出用トランジスタへ供給される第 1 電源電圧より高電圧または同電圧であることを特徴とする、請求項 1 記載の電流検出回路。

【請求項 4】

前記アイドリング用電流源に設けられたスイッチ回路と、前記出力信号を基準値と比較し、前記出力信号が前記基準値を上回ったときに比較出力を発生する比較器とを有し、前記比較出力によって前記スイッチ回路をオフにすることを特徴とする、請求項 1 乃至 3 のいずれかに記載の電流検出回路。

【請求項 5】

前記比較器は、所定幅のヒステリシス特性を有することを特徴とする、請求項 4 記載の電流検出回路。

【請求項 6】

前記アイドリング用電流源に設けられ、アイドリング信号によってオンされるスイッチ回路と、制御指令信号の入力に応じて前記アイドリング信号を第 1 所定時間だけ出力するとともに、前記制御指令信号から前記第 1 所定時間より短い第 2 所定時間の経過後に前記制御電流供給用電流源を動作させるためのスイッチ信号を出力するタイミング回路を有することを特徴とする、請求項 1 乃至 3 のいずれかに記載の電流検出回路。

【請求項 7】

制御電極と出力電極とが接続された電流制御用トランジスタと、該電流制御用トランジスタに制御された電流を流すための制御電流を供給する電流可変型の制御電流供給用電流源と、前記電流制御用トランジスタとカレントミラー接続され、第 1 電源電圧と負荷への出力点間に設けられ負荷に負荷電流を供給するための第 1 トランジスタと、前記負荷への出力点と第 2 電源電圧点間に接続されスイッチ信号によってスイッチングされる第 2 トランジスタとを含む電流出力回路を、2 以上の組数分有して単相あるいは多相ブリッジ回路を形成し、単相あるいは多相負荷を前記制御電流にしたがって駆動する負荷駆動回路において、

前記電流制御用トランジスタとカレントミラー接続され、前記負荷電流に比例した比例電流を供給するための電流検出用トランジスタと、

該電流検出用トランジスタの出力ノードに所定のアイドリング電流を供給するアイドリ

ング用電流源を有して、前記第1トランジスタの出力電圧と前記電流検出用トランジスタの前記出力ノードの電圧とを等しくするように動作するとともに、前記比例電流と前記アイドル電流とを加算した検出電流を出力するバッファ回路とを、前記第1トランジスタのそれぞれに対応して前記組数分有し、

前記組数分の各バッファ回路から出力される前記検出電流を一括して変換して出力信号とする変換回路とを備えることを特徴とする、負荷駆動回路。

【請求項8】

前記バッファ回路は、前記第1トランジスタの出力電圧と前記電流検出用トランジスタの出力ノードの電圧とが入力される増幅器と、前記電流検出用トランジスタの出力ノードと前記変換回路との間に設けられ、前記増幅器の出力で制御される第3トランジスタを有することを特徴とする、請求項7記載の負荷駆動回路。

【請求項9】

前記アイドル用電流源に設けられたスイッチ回路と、前記出力信号を基準値と比較し、前記出力信号が前記基準値を上回ったときに比較出力を発生する比較器とを有し、前記比較出力によって前記スイッチ回路をオフにすることを特徴とする、請求項7または8に記載の負荷駆動回路。

【請求項10】

前記アイドル用電流源に設けられ、アイドル信号によってオンされるスイッチ回路と、制御指令信号の入力に応じて前記アイドル信号を第1所定時間だけ出力するとともに、前記制御指令信号から前記第1所定時間より短い第2所定時間の経過後に前記制御電流供給用電流源を動作させるためのスイッチ信号を出力するタイミング回路を有することを特徴とする、請求項7または8に記載の負荷駆動回路。

【請求項11】

請求項7乃至10のいずれかに記載の負荷駆動回路と、該負荷駆動回路によって駆動されるモータを有することを特徴とする、記憶装置。

【書類名】 明細書

【発明の名称】 電流検出回路、負荷駆動回路、及び記憶装置

【技術分野】

【0001】

本発明は、HDDやFDD等の記録装置用のスピンドルモータ等の負荷に流れる電流を安定して高精度に且つ低消費電流で検出する電流検出回路、それを用いた負荷駆動回路、及び及びその負荷駆動回路により駆動されるモータを有する記憶装置に関する。

【背景技術】

【0002】

トランジスタなどによって駆動される負荷に流れる電流を検出するための電流検出回路としては、そのトランジスタや負荷に直列に電流検出抵抗を接続し、その電流検出抵抗による降下電圧によって電流を直接検出するものが、一般的に用いられている（特許文献1、2）。

【0003】

また、負荷と直列に接続されたトランジスタと同じ制御電圧が印加される検出用トランジスタに定電流を流し、それら両トランジスタの出力電圧を比較して負荷電流のレベルを検出するものも知られている（特許文献3）。

【特許文献1】 特開平11-299292号公報

【特許文献2】 特開2003-174766号公報

【特許文献3】 特許第2570523号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

従来の特許文献1、2の電流検出回路では、電流検出抵抗による損失が常に発生するから、電力効率の低下を招いてしまう。

【0005】

また、特許文献3の電流検出回路では、電流検出抵抗による電力損失は無いが、負荷電流が所定値以上かどうかのレベル検出を行うものであるから、連続した負荷電流を検出することはできない。

【0006】

そこで、本発明は、制御信号によって電流値が制御される電気回路において、電流検出に伴う電力損失を大幅に少なくし、且つ電流検出を常時行うとともに電流を安定して高精度に検出できる電流検出回路、及びその電流検出回路を用いた負荷駆動回路を提供することを目的とする。

【課題を解決するための手段】

【0007】

請求項1の電流検出回路は、制御電極と出力電極とが接続された電流制御用トランジスタと、

該電流制御用トランジスタに制御された電流を流すための電流可変型の制御電流供給用電流源と、

前記電流制御用トランジスタとカレントミラー接続され、負荷に負荷電流を供給するための第1トランジスタと、

前記電流制御用トランジスタとカレントミラー接続され、前記負荷電流に比例した比例電流を供給するための電流検出用トランジスタと、

該電流検出用トランジスタの出力ノードに所定のアイドリング電流を供給するアイドリング用電流源を有して、前記第1トランジスタの出力電圧と前記電流検出用トランジスタの前記出力ノードの電圧とを等しくするように動作するとともに、前記比例電流と前記アイドリング電流とを加算した検出電流を出力するバッファ回路と、

該バッファ回路から出力される前記検出電流を変換して出力信号とする変換回路とを備えることを特徴とする。

【0008】

請求項2の電流検出回路は、請求項1記載の電流検出回路において、前記バッファ回路は、前記第1トランジスタの出力電圧と前記電流検出用トランジスタの出力ノードの電圧とが入力される増幅器と、前記電流検出用トランジスタの出力ノードと前記変換回路との間に設けられ、前記増幅器の出力で制御される第3トランジスタを有することを特徴とする。

【0009】

請求項3の電流検出回路は、請求項1記載の電流検出回路において、前記アイドルリング用電流源へ供給されるアイドルリング用電源電圧は、前記第1トランジスタ及び前記電流検出用トランジスタへ供給される第1電源電圧より高電圧または同電圧であることを特徴とする。

【0010】

請求項4の電流検出回路は、請求項1乃至3のいずれかに記載の電流検出回路において、前記アイドルリング用電流源に設けられたスイッチ回路と、前記出力信号を基準値と比較し、前記出力信号が前記基準値を上回ったときに比較出力を発生する比較器とを有し、前記比較出力によって前記スイッチ回路をオフにすることを特徴とする。

【0011】

請求項5の電流検出回路は、請求項4記載の電流検出回路において、前記比較器は、所定幅のヒステリシス特性を有することを特徴とする。

【0012】

請求項6の電流検出回路は、請求項1乃至3のいずれかに記載の電流検出回路において、前記アイドルリング用電流源に設けられ、アイドルリング信号によってオンされるスイッチ回路と、制御指令信号の入力に応じて前記アイドルリング信号を第1所定時間だけ出力するとともに、前記制御指令信号から前記第1所定時間より短い第2所定時間の経過後に前記制御電流供給用電流源を動作させるためのスイッチ信号を出力するタイミング回路を有することを特徴とする。

【0013】

請求項7の負荷駆動回路は、制御電極と出力電極とが接続された電流制御用トランジスタと、該電流制御用トランジスタに制御された電流を流すための制御電流を供給する電流可変型の制御電流供給用電流源と、前記電流制御用トランジスタとカレントミラー接続され、第1電源電圧と負荷への出力点間に設けられ負荷に負荷電流を供給するための第1トランジスタと、前記負荷への出力点と第2電源電圧点間に接続されスイッチ信号によってスイッチングされる第2トランジスタとを含む電流出力回路を、2以上の組数分有して単相あるいは多相ブリッジ回路を形成し、単相あるいは多相負荷を前記制御電流にしたがって駆動する負荷駆動回路において、

前記電流制御用トランジスタとカレントミラー接続され、前記負荷電流に比例した比例電流を供給するための電流検出用トランジスタと、

該電流検出用トランジスタの出力ノードに所定のアイドルリング電流を供給するアイドルリング用電流源を有して、前記第1トランジスタの出力電圧と前記電流検出用トランジスタの前記出力ノードの電圧とを等しくするように動作するとともに、前記比例電流と前記アイドルリング電流とを加算した検出電流を出力するバッファ回路とを、前記第1トランジスタのそれぞれに対応して前記組数分有し、

前記組数分の各バッファ回路から出力される前記検出電流を一括して変換して出力信号とする変換回路とを備えることを特徴とする。

【0014】

請求項8の負荷駆動回路は、請求項7記載の負荷駆動回路において、前記バッファ回路は、前記第1トランジスタの出力電圧と前記電流検出用トランジスタの出力ノードの電圧とが入力される増幅器と、前記電流検出用トランジスタの出力ノードと前記変換回路との間に設けられ、前記増幅器の出力で制御される第3トランジスタを有することを特徴とする。

【0015】

請求項9の負荷駆動回路は、請求項7または8に記載の負荷駆動回路において、前記アイドルリング用電流源に設けられたスイッチ回路と、前記出力信号を基準値と比較し、前記出力信号が前記基準値を上回ったときに比較出力を発生する比較器とを有し、前記比較出力によって前記スイッチ回路をオフにすることを特徴とする。

【0016】

請求項10の負荷駆動回路は、請求項7または8に記載の負荷駆動回路において、前記アイドルリング用電流源に設けられ、アイドルリング信号によってオンされるスイッチ回路と、制御指令信号の入力に応じて前記アイドルリング信号を第1所定時間だけ出力するとともに、前記制御指令信号から前記第1所定時間より短い第2所定時間の経過後に前記制御電流供給用電流源を動作させるためのスイッチ信号を出力するタイミング回路を有することを特徴とする。

【0017】

請求項11の記憶装置は、請求項7乃至10のいずれかに記載の負荷駆動回路と、該負荷駆動回路によって駆動されるモータを有することを特徴とする。

【発明の効果】

【0018】

本発明によれば、制御電極と出力電極とが接続された電流制御用トランジスタに制御された電流を流す電流可変型の制御電流供給用電流源を設ける。その電流制御用トランジスタと、パワートランジスタである第1トランジスタと電流検出トランジスタとが、カレントミラー構成に接続される。第1トランジスタと電流検出トランジスタは、電源電圧及び制御電圧が共通であり、それらの出力電圧が仮想同電位となる。トランジスタがP型MOSである場合には、ゲート、ソースが共通接続され、ドレインが仮想同電位となる。したがって、電流検出トランジスタの小電流（N分の1）を利用して負荷電流を検出できるから、従来のような直接検出に比べて、消費電力を少なくできる。

【0019】

また、制御電流供給用電流源の電流値を、変換回路の出力信号にしたがって、制御する事により、負荷電流を所定値に設定することが出来る。したがって、電流制御用トランジスタと第1トランジスタとのカレントミラー比に誤差を含んでいても負荷電流の大きさには影響を与えることはない。したがって、電流制御用トランジスタのサイズを、第1トランジスタのサイズに比してきわめて小さく（例えば、1000:1）する事が出来る。

【0020】

また、第1トランジスタの導通度を連続的に制御して負荷電流を制御するから、ブリッジ構成の負荷駆動回路においても、PWM駆動するものとは異なり、負荷電流を連続して検出することが出来る。

【0021】

また、バッファ回路は、電流検出用トランジスタの出力ノードに所定のアイドルリング電流を供給するアイドルリング用電流源を有して、第1トランジスタの出力電圧と電流検出用トランジスタの出力ノードの電圧とを等しくするように動作するとともに、比例電流とアイドルリング電流とを加算した検出電流を出力するから、A級増幅回路として動作する。これにより、制御動作の初期時においても、また負荷電流が小さい場合においても、電流検出を安定して行うことが出来る。且つ、負荷電流と検出電流とのリニアリティ（直線性）が向上するから、電流検出を高精度に行うことが出来る。

【0022】

また、検出電流が所定以上になるとき（所定値あるいは所定時間後）に、アイドルリング電流をオフするから、さらに消費電力を低減することが出来る。

【発明を実施するための最良の形態】

【0023】

以下、本発明の電流検出回路、それを用いた負荷駆動回路、及びその負荷駆動回路により駆動されるモータを有する記憶装置の実施例について、図を参照して説明する。

【0024】

図1は、第1実施例の電流検出回路を示している。この電流検出回路で負荷を駆動するから、図1の電流検出回路を負荷駆動回路あるいは負荷駆動装置、ということも出来る。

【0025】

図1において、第1トランジスタであるP型MOSトランジスタ11は負荷50と直列に接続されて、負荷50に負荷電流 I_1 を流すように第1電源電圧 V_{cc} とグランド間に接続される。その負荷電流 I_1 に比例した比例電流 I_1/N を供給するための電流検出用トランジスタであるP型MOSトランジスタ12が設けられている。この電流検出用トランジスタ12は、そのチャネル幅 W とチャネル長 L で決まるサイズを、第1トランジスタ11のサイズの N 分の1としており、そのソース及びゲートに同じ第1電源電圧 V_{cc} と制御電圧 V_{sig} が供給される。なお、本明細書では、特に断らない場合には、電圧はグランド電圧に対する電位を表している。

【0026】

電流制御用トランジスタであるP型MOSトランジスタ10は、その制御電極であるゲートと出力電極であるドレインとが接続され、電流可変型の制御電流供給用電流源17と直列に、第1電源電圧 V_{cc} とグランド間に接続される。

【0027】

電流制御用トランジスタ10のゲートが、第1トランジスタ11及び電流検出用トランジスタ12のゲートに接続され、カレントミラー構成とされている。電流制御用トランジスタ10のゲート電圧が制御電圧 V_{sig} となる。即ち、電流制御用トランジスタ10、第1トランジスタ11及び電流検出用トランジスタ12はカレントミラー回路に構成されているから、電流制御用トランジスタ10に流れる制御電流 I_0 に比例した負荷電流 I_1 及び比例電流 I_1/N が、第1トランジスタ11及び電流検出用トランジスタ12に流れる。ここで、電流制御用トランジスタ10のチャネル幅 W とチャネル長 L で決まるサイズ α は、第1トランジスタ11のサイズ N に対して著しく小さい値、例えば1000分の1に設定されている。

【0028】

電流源17は、基準電圧 V_{ref1} と検出電圧（出力信号） V_{det} との2入力の差を増幅する誤差増幅器18の誤差出力が供給され、その誤差出力に応じて、その電流、即ち制御電流 I_0 の大きさが制御される。

【0029】

誤差増幅器18は、スイッチ信号 S_1 が供給されるときに動作をして、2入力の差に応じた誤差出力を発生する。また、スイッチ信号 S_1 が供給されないときには、その誤差出力を発生しないから、電流源17の制御電流 I_0 はオフされる。なお、スイッチ信号 S_1 を電流源17に供給して、電流源17をスイッチ信号 S_1 によって直接に動作或いは不動作を制御するようにしても良い。

【0030】

電流検出用トランジスタ12のサイズを、第1トランジスタ11のサイズの N 分の1としているから、電流検出用トランジスタ12には負荷電流 I_1 の N 分の1の比例電流 I_1/N が流れようとする。しかし、その電流検出用トランジスタ12のドレイン電圧が第1トランジスタ11のドレイン電圧（出力電圧）と等しくならない場合が多いから、その場合には正確な比例電流 I_1/N を得ることは出来ない。

【0031】

本発明では、電流検出用トランジスタ12のドレイン電圧を第1トランジスタ11のドレイン電圧と等しくし、安定して且つ高精度に電流検出を行えるように、特有のバッファ回路100を設けている。

【0032】

このバッファ回路100は、第1トランジスタ11の出力ノードA1の電圧（ドレイン電圧）と電流検出用トランジスタ12の出力ノードB1の電圧（ドレイン電圧）とが入力される増幅器13（例えば、オペアンプでよい）と、このオペアンプ13の出力を第3ト

ランジスタであるN型MOSトランジスタ14への制御信号とする。このMOSトランジスタ14は、電流検出用トランジスタ12の出力ノードB1と検出抵抗61との間に接続されている。なお、コンデンサ16は発振防止を目的として設けられている。

【0033】

さらに、バッファ回路100は、アイドリング用電源電圧 V_{id} と出力ノードB1との間に、アイドリング用電流源15が接続されており、その出力ノードB1に所定のアイドリング電流 I_{id1} を供給する。電流源15は定電流源であり、アイドリング電流 I_{id1} は定電流であることがよい。アイドリング用電源電圧 V_{id} は、電流源15の動作を確実にするために第1電源電圧 V_{cc} よりも高い電圧であることが望ましい。即ち、 $V_{id1} > V_{cc}$ 。なお、アイドリング用電源電圧 V_{id} として、第1電源電圧 V_{cc} を用いることも可能である。

【0034】

バッファ回路100からは、電流検出用トランジスタ12からの比例電流 I_1/N と電流源15からのアイドリング電流 I_{id1} とが合わさった検出電流 I_{12} が出力される。

【0035】

この検出電流 I_{12} が検出抵抗61に流れて、その抵抗値 R_s と検出電流 I_{12} の積に応じた検出電圧 V_{det} を出力する。検出抵抗61は変換回路として機能しており、検出電圧 V_{det} は図示しない制御回路へ供給される。

【0036】

この図1の電流検出回路の動作を説明する。制御回路（図示を省略している。以下同じ）からスイッチ信号 S_1 が供給されるまでは、誤差増幅器18は誤差出力を発生せず、電流源17はオフして制御電流 I_0 は零である。したがって、電流制御用トランジスタ10、第1トランジスタ11、電流検出用トランジスタ12はオフしており、負荷電流 I_1 及び比例電流 I_1/N も零である。

【0037】

このとき、出力ノードA1はハイインピーダンス（ H_i-Z ）もしくは低電圧（ Low ；例えば零電圧）になっている。したがって、出力ノードA1の電圧は、第1電源電圧 V_{cc} やアイドリング用電源電圧 V_{id} より低くなっている。一方、出力ノードB1の電圧はアイドリング用電源電圧 V_{id} により決まる。

【0038】

バッファ回路100は、その2入力である出力ノードA1の電圧と出力ノードB1の電圧とを等しくするように動作するから、MOSトランジスタ14は出力ノードB1の電圧を下げようとして、オンする。MOSトランジスタ14のオンにより、アイドリング電流 I_{id1} が検出電流 I_{12} として検出抵抗61に流れる。スイッチ信号 S_1 が供給される前にアイドリング電流 I_{id1} が流れるから、バッファ回路100は、スイッチ信号 S_1 が供給される時点からA級増幅回路として動作することになる。このアイドリング電流 I_{id1} は、検出電圧 V_{det} のオフセット分電圧 $R_s \times I_{id1}$ を発生する。

【0039】

スイッチ信号 S_1 が誤差増幅器18に供給されると、誤差増幅器18は基準電圧 V_{ref1} と検出電圧 V_{det} に応じた誤差出力を発生する。電流源17は、この誤差出力に応じた制御電流 I_0 を電流制御用トランジスタ10に流す。この制御電流 I_0 によって、電流制御用トランジスタ10のゲートに制御電圧 V_{sig} が発生し、この制御電圧 V_{sig} が第1トランジスタ11及び電流検出用トランジスタ12のゲートに印加されて、電流制御用トランジスタ10、第1トランジスタ11、電流検出用トランジスタ12はカレントミラー動作をする。

【0040】

第1トランジスタ11には、電流制御用トランジスタ10とのカレントミラー比に応じた負荷電流 I_1 が負荷50に流れる。第1トランジスタ11のドレインにはその導通度と負荷電流 I_1 とに応じた電圧、即ち出力ノードA1の電圧が発生する。このとき、電流検出用トランジスタ12のドレインの電圧、即ち出力ノードB1の電圧は、出力ノードA1

の電圧と等しくなるようにバッファ回路100により制御される。電流検出用トランジスタ12の電圧降下は、比例電流 I_1/N と電流検出用トランジスタ12の導通度により決まる。したがって、第1トランジスタ11と電流検出用トランジスタ12は、ソース電圧、ゲート電圧及びドレイン電圧の全てが等しくなるので、電流検出用トランジスタ12に流れる比例電流 I_1/N は所期の値になる。

【0041】

この第1トランジスタ11と電流検出用トランジスタ12が動作を開始した初期の段階や、その負荷電流 I_1 、比例電流 I_1/N が小さいときには、仮にアイドル電流 I_{id1} がない場合には安定して動作できない、或いは比例電流 I_1/N が負荷電流 I_1 に正確に比例しない、等の問題が発生する。

【0042】

しかし、本発明では、第1トランジスタ11と電流検出用トランジスタ12が動作開始するに先立って、アイドル電流 I_{id1} を流しているから、バッファ回路100はA級増幅回路として動作する。したがって、第1トランジスタ11と電流検出用トランジスタ12が動作開始する初期の段階や、その負荷電流 I_1 、比例電流 I_1/N が小さいときにも安定して動作し、且つ負荷電流と検出電流とのリニアリティ（直線性）が向上するから、電流検出を高精度に出来る。

【0043】

また、検出電流 I_{12} に基づく検出電圧 V_{det} を帰還し、検出電圧 V_{det} が所定値（＝基準電圧 V_{ref1} ）になるように制御する。したがって、第1トランジスタ11と電流検出用トランジスタ12との間のカレントミラー比が所定精度に保たれていれば、電流制御用トランジスタ10と第1トランジスタ11（及び電流検出用トランジスタ12）との間のカレントミラー比の精度は多少悪くても、回路動作や電流検出に支障は無い。これにより、電流制御用トランジスタ10のサイズを第1トランジスタ11に比して極めて小さく（例えば、1000分の1程度）できるし、同様に電流源17の電流容量も極めて小さいものとすることができる。

【0044】

また、図1では、検出電圧 V_{det} を帰還して所定値に一致させるようにフィードバック制御を行っているが、これに限ることなく、制御電圧 V_{sig} を所定値に設定するフィードフォワード制御とすることができる。このフィードフォワード制御とする場合には例えば、図1において、誤差増幅器18を削除して電流源17に所定の指令信号を供給するようにしてもよいし、また、電流制御用トランジスタ10、電流源17、誤差増幅器18を削除して所定の制御電圧 V_{sig} を第1トランジスタ11、電流検出用トランジスタ12のゲートに印加するようにしてもよい。なお、この点は、他の実施例でも同様である。

【0045】

なお、電流制御用トランジスタ10、第1トランジスタ11、電流検出用トランジスタ12は、P型MOSトランジスタに代えて、N型MOSトランジスタでもよいし、PNPやNPN型バイポーラトランジスタでも良い。また、N型MOSトランジスタ14は、P型MOSトランジスタの他、PNPやNPN型バイポーラトランジスタを用いてもよい。

【0046】

図2は、本発明の第2実施例に係る電流検出回路を示している。図3及び図4は、図2の動作を説明するための特性図である。この図2の電流検出回路においては、アイドル電流 I_{id1} の供給を検出電流の大きさに応じて停止するようにしている。

【0047】

図2において、図1と異なる点は、アイドル用電源電圧 V_{id} と出力ノードB1との間に電流源15と共にスイッチ回路64を設けている点、及び検出電圧 V_{det} を基準電圧 V_{ref2} と比較し、検出電圧 V_{det} が基準電圧 V_{ref2} を上回ったときにスイッチ回路64をオフする比較出力を発生する比較器62を設けている点である。なお、電流源15が、比較器62の比較出力でオン、オフできる場合、例えば電流源15がカレントミラー構成である場合には、比較器62の比較出力で電流源15をオン、オフしてもよ

い。この場合には、スイッチ回路 64 を削除することができる。

【0048】

この第2実施例の動作を、図2～図4を参照して説明する。スイッチ信号 S1 が供給される以前から、スイッチ回路 64 はオンしている。スイッチ信号 S1 が供給されると、図1の場合と同様に、電流制御用トランジスタ 10、第1トランジスタ 11、電流検出用トランジスタ 12 が制御され、電流検出用トランジスタ 12 からの比例電流 I_1/N と電流源 15 からのアイドル電流 I_{id1} とが合わさった検出電流 I_{12} が出力される。

【0049】

比較器 62 は、検出電流 I_{12} により発生する検出電圧 V_{det} を基準電圧 V_{ref2} と比較する。この検出電圧 V_{det} は、負荷電流 I_1 が零の時にアイドル電流 I_{id1} に相当するオフセット電圧が発生している。負荷電流 I_1 が増加するに連れて検出電圧 V_{det} も大きくなる。検出電圧 V_{det} が基準電圧 V_{ref2} を超えると、比較器 62 の比較出力は反転し、スイッチ回路 64 をオフする。この基準電圧 V_{ref2} は、アイドル電流 I_{id1} が無くても比例電流 I_1/N だけで A 級増幅動作が可能な電圧値に設定されることがよい。

【0050】

スイッチ回路 64 がオフされることによりアイドル電流 I_{id1} はなくなるから、検出電圧 V_{det} の大きさはアイドル電流 I_{id1} の分だけ小さくなる。比較器 62 には、所定幅 (I_{id1} の分より大きい) のヒステリシスを設けているから、その出力がハンチングする事はない。

【0051】

なお、制御回路に供給される検出電圧 V_{det} にアイドル電流 I_{id1} が含まれているかどうか、即ちオフセット分が上乘せされているかどうかを制御回路で判定できるように、比較器 62 の比較出力を制御回路に供給する。

【0052】

スイッチ回路 64 がオフされる段階での比例電流 I_1/N は、アイドル電流 I_{id1} がオフされてもその A 級増幅動作に支障がない大きさになっているから、正確な検出電流を得る上で問題はない。また、このアイドル電流 I_{id1} をオフする事により、その分の消費電力を少なくすることが出来る。

【0053】

図5は、本発明の第3実施例に係る電流検出回路を示している。図6は、図5の動作を説明するためのタイミング図である。この図5の電流検出回路においては、アイドル電流 I_{id1} を、負荷が駆動される最初の所定期間だけ供給するようにし、その時間経過後は供給を停止するようにしている。

【0054】

図5において、図1と異なる点は、アイドル用電源電圧 V_{id} と出力ノード B1 との間に電流源 15 と共にスイッチ回路 64 を設けている点、及び動作指令信号 S0 を受けてアイドル信号 S_{id} 及びスイッチ信号 S1 を発生するタイミング回路 63 を設けている点である。なお、電流源 15 が、アイドル信号 S_{id} でオン、オフできる場合、例えば電流源 15 がカレントミラー構成である場合には、アイドル信号 S_{id} で電流源 15 をオン、オフしてもよい。この場合には、スイッチ回路 64 を削除することができる。

【0055】

この第3実施例の動作を、図5、図6を参照して説明する。動作指令信号 S0 がタイミング回路 63 に供給されるまでは、スイッチ信号 S1 及びアイドル信号 S_{id} 出力されていないから、電流制御用トランジスタ 10、第1トランジスタ 11、電流検出用トランジスタ 12、スイッチ回路 64 は全てオフしている。

【0056】

動作指令信号 S0 がタイミング回路 63 に供給されると、タイミング回路 63 はアイドル信号 S_{id} を直ちに発生させてスイッチ回路 64 をオンし、アイドル電流 I_{id1}

d1が流される。この状態は、図1でスイッチ信号S1が供給される前と同じである。

【0057】

タイミング回路63は動作指令信号S0が供給されると同時に、その時点t1からの経過時間を、例えばカウンタにより計測を開始する。時点t1から期間T2だけ計測した時点t2で、スイッチ信号S1(Lレベル)を発生させて、誤差増幅器18を動作状態にする。これにより図1の場合と同様に、電流検出用トランジスタ12からの比例電流 I_1/N と電流源15からのアイドル電流 I_{id1} とが合わさった検出電流 I_{12} が出力される。

【0058】

タイミング回路63は、引き続いて経過時間を計測し、時点t1から期間T1($T1 > T2$)経過した時点t3でアイドル信号 S_{id} の供給を停止し、スイッチ回路64をオフする。なお、時点t4で、動作指令信号S0の供給が停止されると、スイッチ信号S1もなくなり(Hレベル)、電流検出回路の動作が停止する。この期間T1は、アイドル電流 I_{id1} が無くても、比例電流 I_1/N の大きさが、バッファ回路100をA級増幅動作させることが可能な電流値になる時間に設定されることがよい。

【0059】

なお、制御回路に供給される検出電圧 V_{det} にアイドル電流 I_{id1} が含まれているかどうか、即ちオフセット分が上乘せされているかどうかを制御回路で判定できるように、アイドル信号 S_{id} を制御回路に供給する。

【0060】

スイッチ回路64がオフされることによりアイドル電流 I_{id1} はなくなるから、検出電圧 V_{det} の大きさはアイドル電流 I_{id1} の分だけ小さくなる。しかし、スイッチ回路64がオフされるT1時間後の段階での比例電流 I_1/N は、アイドル電流 I_{id1} がオフされてもそのA級増幅動作に支障がない大きさになっているから、正確な検出電流を得る上で問題はない。また、図3と同様に、このアイドル電流 I_{id1} をオフする事により、その分の消費電力を少なくすることが出来る。

【0061】

図7は、本発明の第4実施例に係る、HDDやFDDのスピンダルモータ等の負荷を駆動する負荷駆動回路を示している。

【0062】

この図7の負荷駆動回路は、3相スピンダルモータ50を駆動する3相ブリッジ回路の例であり、U相用駆動回路1U、V相用駆動回路1V及びW相用駆動回路1Wを有している。

【0063】

U相用駆動回路1Uについて見ると、第1実施例の図1と比較して、制御電流供給用電流源17にU相用制御信号 S_{1u} が供給され、これに応じて第1トランジスタ11、電流検出用トランジスタ12のゲートに制御電圧 V_{sigu} が供給されること、出力ノードA1とグランド間に第2トランジスタ19が接続されること、この第2トランジスタ19のゲートにU相用スイッチ信号 S_{2u} が供給されること、出力ノードA1が3相スピンダルモータ50のU相コイル端子Uに接続されること、等の点で異なっている。その他の点は、図1のものと同様である。

【0064】

V相用駆動回路1V及びW相用駆動回路1Wについても、図7ではそれぞれ一部のみ示しているが、符号が対応して異なるだけで、U相用駆動回路1Uと同様である。即ち、第1実施例の図1と比較して、制御電流供給用電流源27、37にV相用制御信号 S_{1v} 、W相用制御信号 S_{1w} が供給され、これに応じて第1トランジスタ21、31のゲートに制御電圧 V_{sigv} 、 V_{sigw} が供給されること、出力ノードA2、A3とグランド間に第2トランジスタ29、39が接続されること、この第2トランジスタ29、39のゲートにV相用スイッチ信号 S_{2v} 、W相用スイッチ信号 S_{2w} が供給されること、出力ノードA2、A3が3相スピンダルモータ50のV相コイル端子V、W相コイル端子Wに接

続されること、等の点で異なっている。

【0065】

そして、各相用駆動回路1U、1V、1Wから得られる各検出電流 I_{12} 、...を統合して、検出抵抗61に供給している。

【0066】

誤差増幅器71は、入力される速度やトルク或いは電流を指令する指令値 V_{target} と検出電圧 V_{det} とを比較し、その2入力の誤差信号を出力し、ゲート制御・ロジック回路72に供給する。誤差増幅器71は、スイッチ信号S1が供給されているときに動作する。なお、スイッチ信号S1は、ゲート制御・ロジック回路72に供給するようにしても良い。

【0067】

誤差増幅器71にスイッチ信号S1が供給されると、ゲート制御・ロジック回路72は、三相駆動用のロジックにしたがって、各相用の制御信号 S_{1u} 、 S_{1v} 、 S_{1w} 及び各相用のスイッチ信号 S_{2u} 、 S_{2v} 、 S_{2w} を発生する。その各相用の制御信号 S_{1u} 、 S_{1v} 、 S_{1w} 及び各相用のスイッチ信号 S_{2u} 、 S_{2v} 、 S_{2w} は、制御電流供給用電流源17、27、37及び第2トランジスタ19、29、39のゲートに供給される。三相駆動用のロジックは、例えば、3相モータ50のU相端子、V相端子、W相端子に、 $U \rightarrow V$ 、 $U \rightarrow W$ 、 $V \rightarrow W$ 、 $V \rightarrow U$ 、 $W \rightarrow U$ 、 $W \rightarrow V$ 、 $U \rightarrow V$...の順序で給電するように、第1トランジスタ11、21、31の導通度が制御されるとともに、第2トランジスタ19、29、39がスイッチングされる。このゲート制御・ロジック回路72は図示していない制御回路に他の制御部とともに含ませても良い。

【0068】

この図7は、三相ブリッジ回路の例であるから、各相用駆動回路は3つである。本発明を、単相ブリッジ回路に適用する場合には、各相用駆動回路は2つである。さらに、3相以上の多相の場合にも同様に適用可能である。

【0069】

このように、各相用駆動回路を複数有して単相あるいは多相ブリッジ回路を形成し、単相あるいは多相負荷をリニア駆動する負荷駆動回路において、制御電圧 V_{sig} によってリニアに制御される各第1トランジスタ11、21、31に対して、それを含むように図1における同様の電流検出回路を設けたものが、図7の負荷駆動回路である。

【0070】

なお、図7の第4実施例では、各相用駆動回路1U、1V、1Wのアイドル電流 I_{id1} 等は、同じ電流値であることが望ましい。

【0071】

図7の負荷駆動回路で、記憶装置の例えばスピンドルモータを速度制御する場合には、指令値 V_{target} はトルク指令値である。このトルク指令値 V_{target} は、スピンドルモータへの速度設定値とその速度実際値との差によって形成される。

【0072】

このスピンドルモータを速度制御するに際しては、検出電流の変化、即ち検出電圧 V_{det} の変化が連続していることが安定な速度制御を行うために望ましい。したがって、一旦、スピンドルモータの速度制御を開始した後は、アイドル電流 I_{id1} ...を、切ることなく、継続して流し続けることがよい。アイドル電流 I_{id1} ...を流し続けても、それ自体は一定値であるから負荷電流 I_1 には影響を与えることはない。

【0073】

このようにアイドル電流を遮断することなく流し続けることで、モータの速度制御の安定度を高く維持することができる。

【0074】

また、スピンドルモータを停止している場合にもアイドル電流 I_{id1} ...が流されることで、検出電圧 V_{det} は一定のオフセット電圧を発生しており、一方、トルク指令値は零である。この場合、トルク指令値 V_{target} は、検出電圧 V_{det} よりそ

のオフセット電圧分だけ低いから、停止時のモータの駆動力（トルク）を確実に無くすことができる。

【0075】

このアイドル電流 I_{id1} ... に基づくオフセット電圧を持たせていない状態では、ノイズなどの影響によってトルク指令値 V_{target} 等が影響を受けてモータにトルクが発生する可能性がある。しかし、アイドル電流を遮断することなく流し続けることでオフセット電圧が与えられるから、例えばノイズ環境下でもモータが誤って回る誤作動を防止できる。この誤作動については、速度制御に限らず、他の制御（例えば、電流制御）の場合にも同様である。

【0076】

この図7の負荷駆動回路においても、図2の第2実施例のような、スイッチ回路64と比較器62を用いたアイドル電流のオフ制御回路を付加することや、図5の第3実施例のような、スイッチ回路64やタイミング回路63を用いたアイドル電流のタイミング制御回路を付加することができる。これらの場合には、各相用駆動回路に設けられたスイッチ回路64を、比較器62からの比較出力で同時にオン或いはオフさせたり（図2のような場合）、タイミング回路63からのアイドル信号 S_{id} で同時にオン或いはオフさせたり（図5のような場合）することが良い。

【0077】

このように、図2や図5のように検出電圧 V_{det} や経過時間に応じてアイドル電流をオフ制御することは、例えばステッピングモータを電流制御で駆動する等の負荷電流 I_1 の検出を高い精度で行うことが必要な場合に、好適である。なお、この電流制御でモータを駆動するときには、指令値 V_{target} は電流指令値となる。

【図面の簡単な説明】**【0078】**

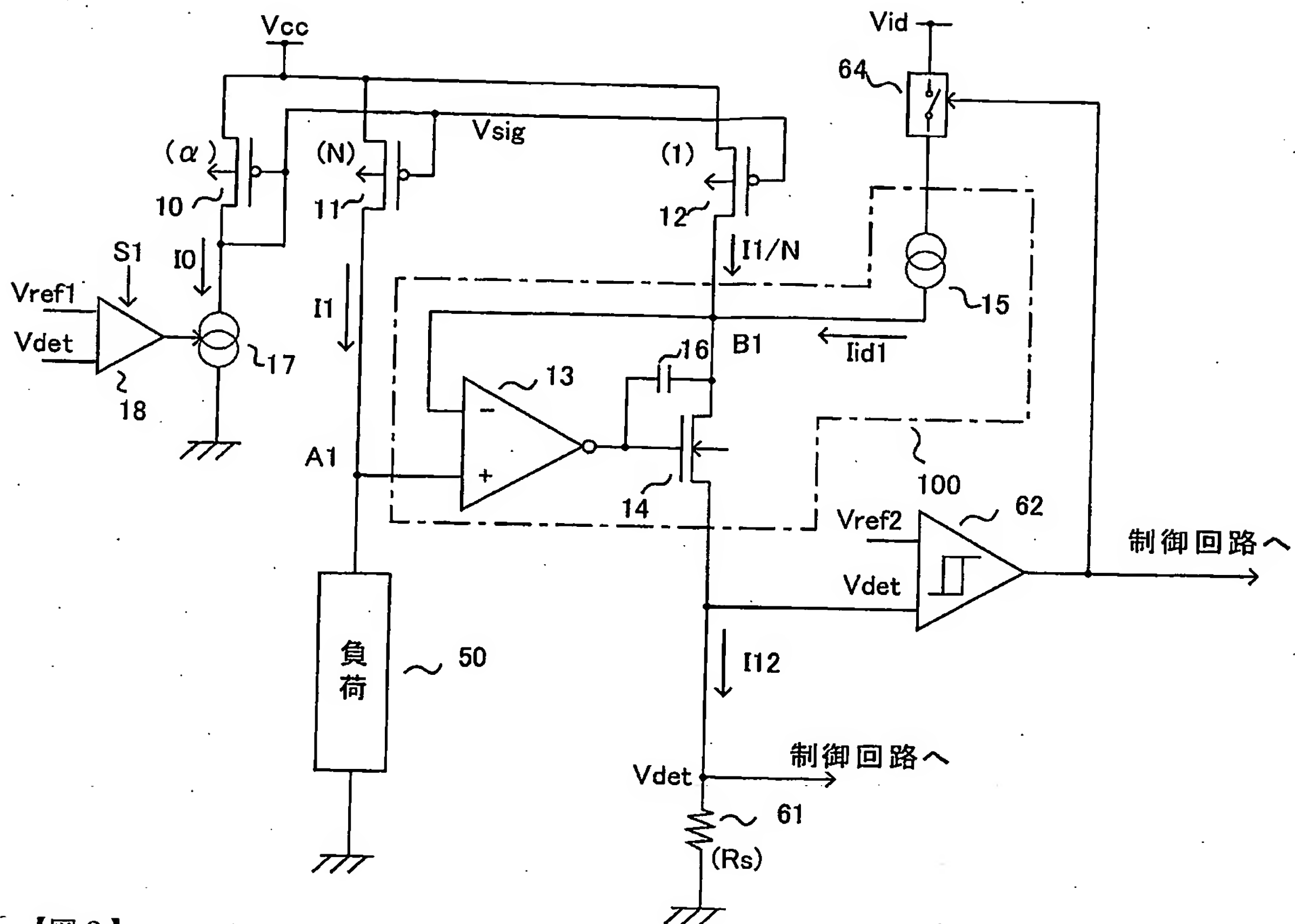
- 【図1】 第1実施例の電流検出回路の構成を示す図
- 【図2】 第2実施例の電流検出回路の構成を示す図
- 【図3】 図2の動作を説明するための特性図
- 【図4】 図2の動作を説明するための他の特性図
- 【図5】 第3実施例の電流検出回路の構成を示す図
- 【図6】 図5の動作を説明するためのタイミング図
- 【図7】 第4実施例の負荷駆動回路の構成を示す図

【符号の説明】**【0079】**

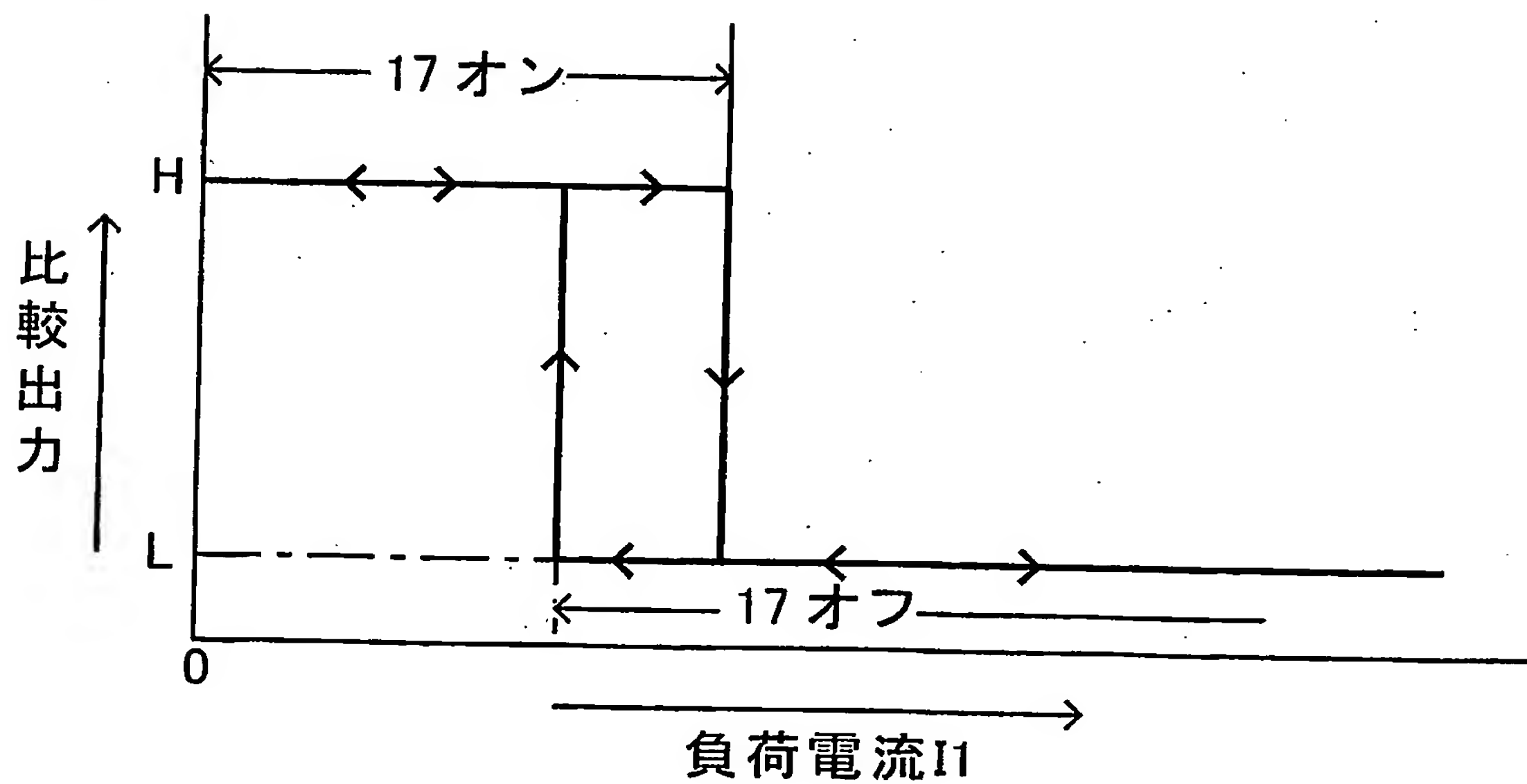
- V_{cc} 第1電源電圧
- V_{id} アイドリング用電源電圧
- 10 電流制御用トランジスタ
- 11 第1トランジスタ（P型MOSトランジスタ）
- 12 電流検出用トランジスタ（P型MOSトランジスタ）
- 13 オペアンプ
- 14 N型MOSトランジスタ
- 15 アイドリング用電流源
- 16 コンデンサ
- 17 制御電流供給用電流源
- 18 誤差増幅器
- 19 第2トランジスタ
- 50 負荷
- 61 検出抵抗
- 62 比較器
- 63 タイミング回路
- 64 スイッチ回路

71 誤差増幅器
72 ゲート制御・ロジック回路 72
100 バッファ回路
S0 動作指令信号
S1 スイッチ信号
Sid アイドリング信号
I0 制御電流
I1 負荷電流
I1/N 比例電流
Iidl アイドリング電流
I12 検出電流
Vsig 制御電圧
Vdet 検出電圧
Vtarget 指令値
Vref1、Vref2 基準電圧
A1 出力ノード
B1 出力ノード

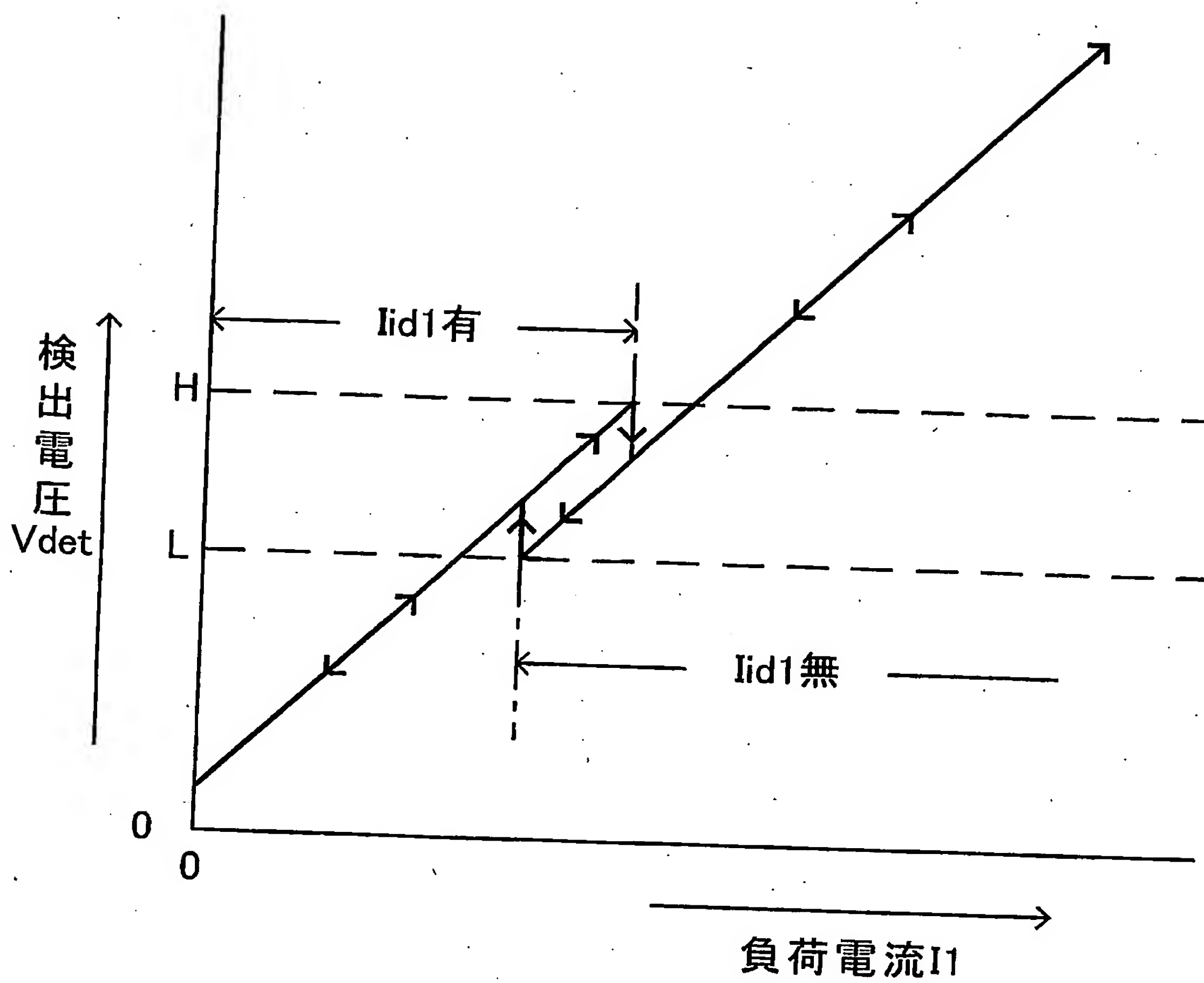
【図 2】



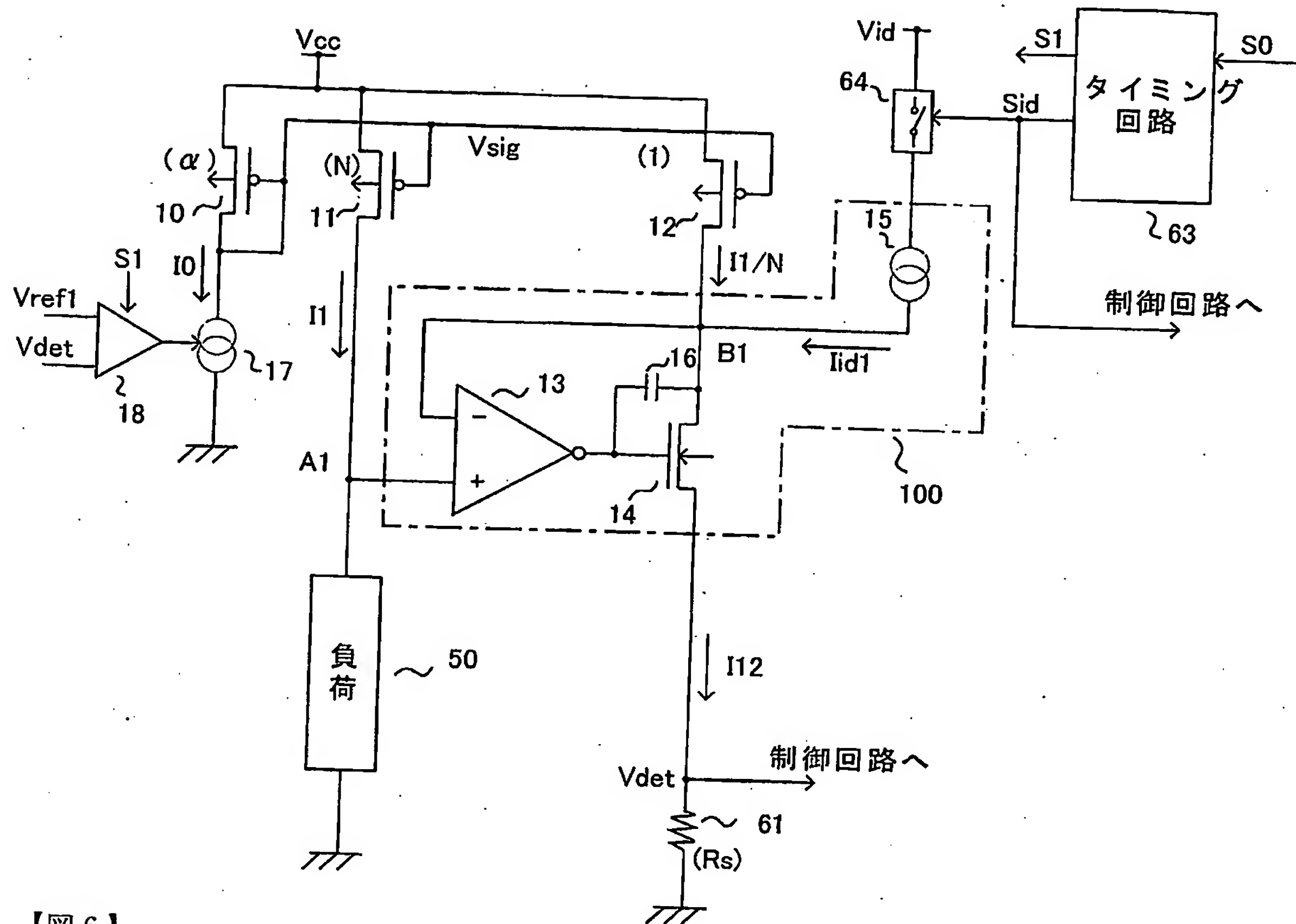
【図 3】



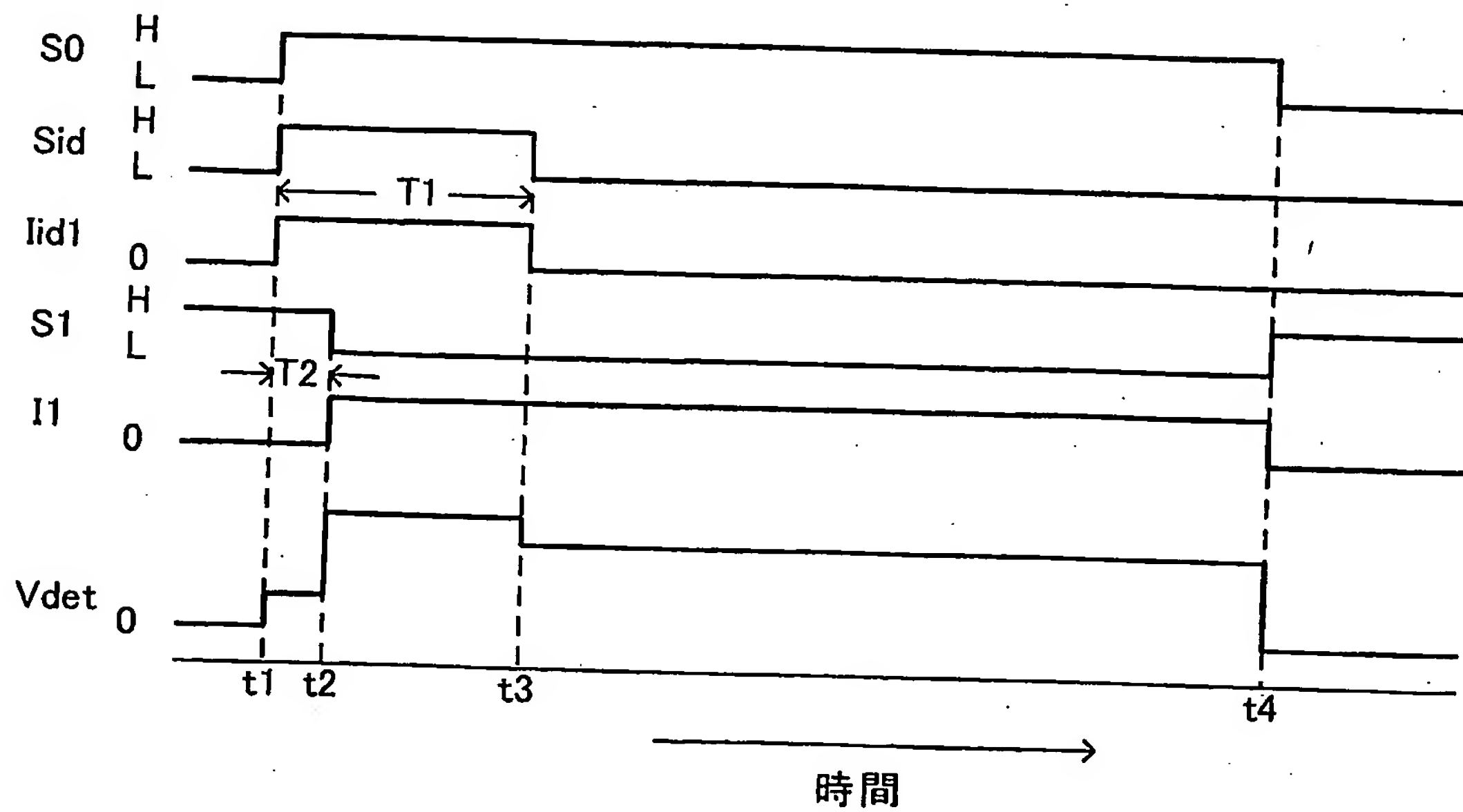
【図 4】



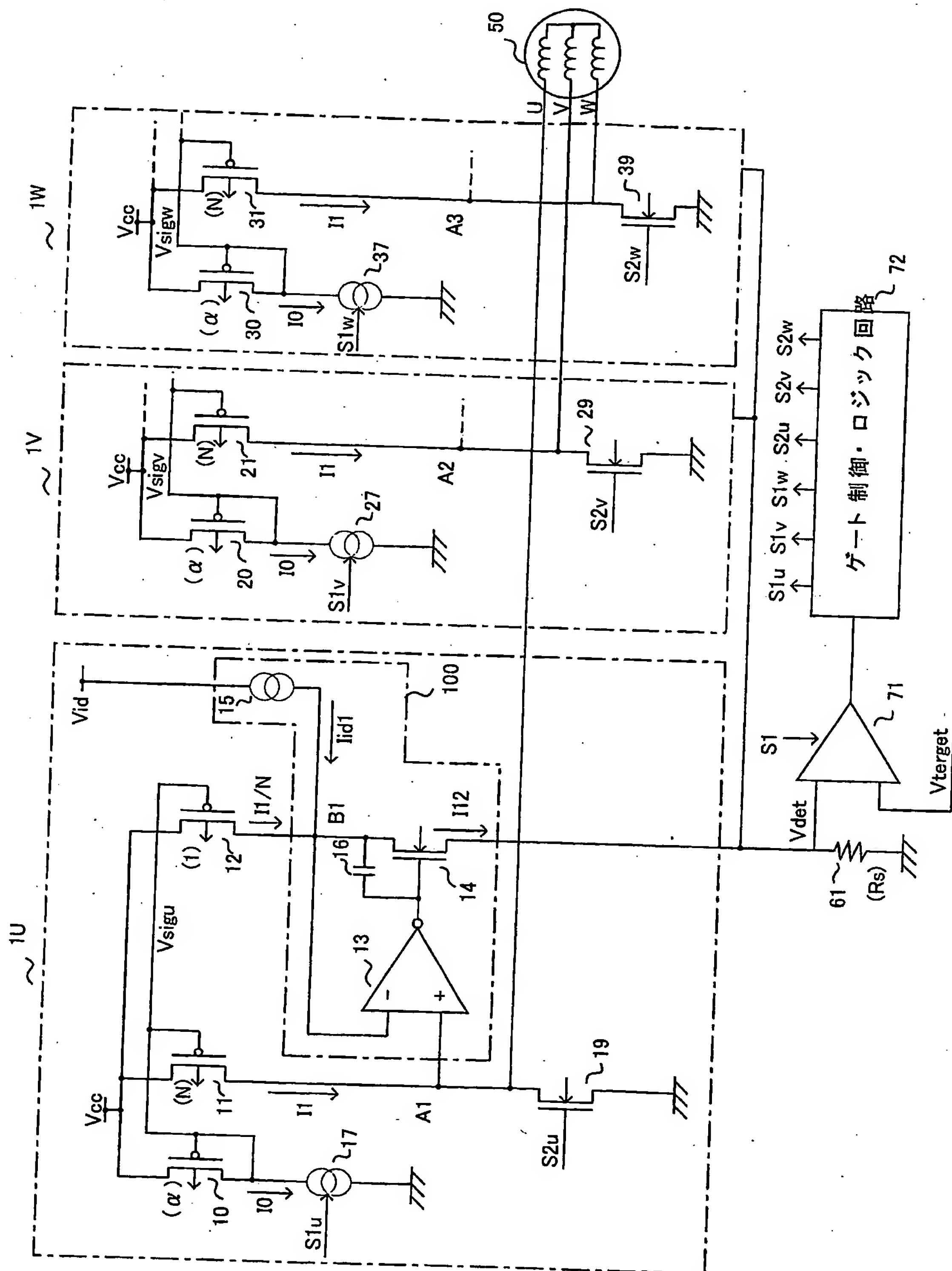
【図 5】



【図 6】



【図7】



【書類名】 要約書

【要約】

【課題】 電流検出に伴う電力損失を大幅に少なくし、且つ電流検出を常時行うとともに電流を安定して高精度に検出すること。

【解決手段】 可変制御電流が流れる電流制御用トランジスタと、パワートランジスタ及び電流検出トランジスタとをカレントミラー構成に接続する。その電流検出トランジスタの出力ノードにアイドリング電流を供給し、且つパワートランジスタの出力電圧と電流検出トランジスタの出力電圧が仮想同電位となるようにバッファ回路を設ける。これによりバッファ回路を常にA級増幅回路として動作させる。

【選択図】 図1

特願 2004-058573

ページ: 1/E

出願人履歴情報

識別番号

[000116024]

1. 変更年月日
[変更理由]

1990年 8月22日

新規登録

住所
氏名

京都府京都市右京区西院溝崎町21番地
ローム株式会社